

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-177076

(43)Date of publication of application : 29.06.2001

(51)Int.Cl. H01L 27/108
H01L 21/8242
H01L 21/3205

(21)Application number : 11-358114

(71)Applicant : SONY CORP

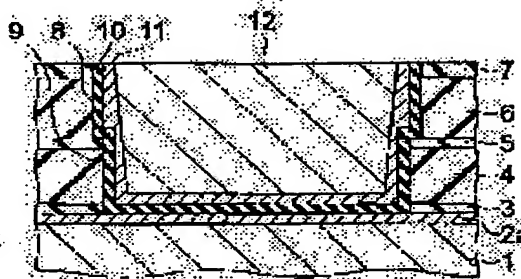
(22)Date of filing : 16.12.1999

(72)Inventor : TERANO TOSHIO

(54) SEMICONDUCTOR DEVICE AND METHOD OF FABRICATION**(57)Abstract:**

PROBLEM TO BE SOLVED: To obtain a semiconductor device having a capacitor which can be formed through a process shared with an interconnection while reducing the area of memory cell, and a method of fabrication.

SOLUTION: The semiconductor device comprises a first interconnection layer 2a formed on a first metal layer 1 and serving, at least partially, as a lower electrode, an interlayer insulation film comprising first and second dielectric films 4, 6 formed thereon, an interconnection trench 8 made in the interlayer insulation film above the first dielectric film, a contact hole 9 made in at least a part of the interlayer insulation film beneath the interconnection trench 8 and reaching the surface of the lower electrode, a capacitor insulation film 10 having higher permittivity than the first and second dielectric films covering the inside of the interconnection trench and the contact hole, an upper electrode comprising a second metal layer 11 formed on the surface of the capacitor insulation film, and a second interconnection layer 12 formed on the surface of the interconnection trench and in the contact hole.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-177076

(P2001-177076A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl.	識別記号	F I	ターミナル (参考)
H 0 1 L	27/108	H 0 1 L 27/10	6 2 1 C 5 F 0 3 3
	21/8242	21/88	K 5 F 0 8 8
	21/3205	27/10	3 2 1
			6 5 1
			6 8 1 F
審査請求 未請求 請求項の数19 O L (全 17 頁)			

(21) 出願番号 特願平11-358114

(22) 出願日 平成11年12月16日 (1999. 12. 16)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 寺野 登志夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 陸久

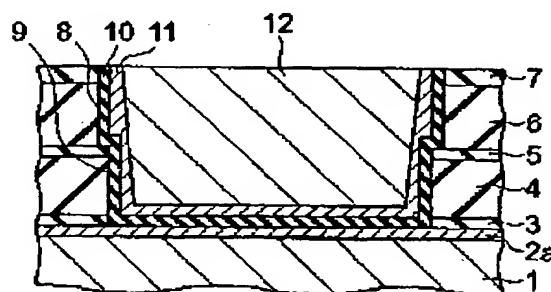
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】メモリセル面積の縮小が可能であり、配線と共有化されたプロセスで形成できるキャパシタを有する半導体装置およびその製造方法を提供する。

【解決手段】第1金属層1上に形成された、少なくとも一部が下部電極である第1配線層2aと、その上層に積層された、第1誘電膜4および第2誘電膜6を有する層間絶縁膜と、第1誘電膜上の層間絶縁膜に形成された配線溝8と、配線溝8下部の少なくとも一部の層間絶縁膜に形成され、下部電極の表面に達する接続孔9と、配線溝および接続孔の内部を被覆し、第1および第2誘電膜よりも高誘電率であるキャパシタ絶縁膜10と、キャパシタ絶縁膜の表面に形成された第2金属層11からなる上部電極と、上部電極の表面、かつ配線溝および接続孔の内部に形成された第2配線層12とを有する半導体装置およびその製造方法。



(2)

特開2001-177076

1

【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板上に形成された第1配線層と、
前記第1配線層上の少なくとも一部に形成された、第1金属層からなる下部電極と、

前記第1配線層上に形成された、第1誘電膜およびその上層の第2誘電膜を有する層間絶縁膜と、
前記第1誘電膜上の前記層間絶縁膜に形成された配線溝と、

前記配線溝下部の少なくとも一部の前記層間絶縁膜に形成され、前記下部電極の表面に達する接続孔と、

前記配線溝および前記接続孔の内部を被覆し、前記第1および第2誘電膜よりも高誘電率であるキャパシタ絶縁膜と、

前記キャパシタ絶縁膜の表面に形成された第2金属層からなる上部電極と、

前記上部電極の表面、かつ前記配線溝および前記接続孔の内部に形成された第2配線層とを有する半導体装置。

【請求項2】前記第1金属層は前記配線溝および前記接続孔の内部を被覆するように形成され、

前記キャパシタ絶縁膜は前記第1金属層を介して前記配線溝および前記接続孔の内部を被覆するように形成されている請求項1記載の半導体装置。

【請求項3】前記配線溝および前記接続孔の側面を被覆し、下端が前記第1金属層に接続する第3金属層を有し、

前記下部電極は、前記接続孔底部の前記第1金属層および前記第3金属層からなり、

前記キャパシタ絶縁膜は前記第3金属層を介して前記配線溝および前記接続孔の内部を被覆するように形成されている請求項1記載の半導体装置。

【請求項4】前記第3金属層の上端は、前記層間絶縁膜の上端よりも低い位置にある請求項4記載の半導体装置。

【請求項5】前記半導体基板上に、ビット線と記憶ノードとの間に接続された書き込みトランジスタと、

電源電圧の供給線とビット線との間に接続され、制御電極が前記記憶ノードに接続された読み出しトランジスタとを有し、

前記下部電極、前記キャパシタ絶縁膜および前記上部電極からなるキャパシタは、前記記憶ノードとワード線との間に接続され、

前記書き込みトランジスタ、前記読み出しトランジスタおよび前記キャパシタをメモリセル内に有する請求項1記載の半導体装置。

【請求項6】前記メモリセルを含むメモリ部と、論理回路が形成されたロジック部とを有し、

前記ロジック部において、前記第2オフセット絶縁膜上の前記層間絶縁膜に形成された配線溝と、前記配線溝下部の前記層間絶縁膜に形成され、前記下部電極の表面に

2

達する接続孔と、前記配線溝および前記接続孔の内部に形成されたロジック部配線層とを有し、

前記第2配線層は、前記ロジック部配線層と同一の導電材料からなる請求項5記載の半導体装置。

【請求項7】前記ロジック部配線層は、前記配線溝および前記接続孔の内部にバリアメタル層を介して形成され、

前記バリアメタル層は前記上部電極の表層部分と同一の導電材料からなる請求項6記載の半導体装置。

【請求項8】前記層間絶縁膜は、互いにエッチング速度の異なる誘電膜とオフセット絶縁膜とが、前記第1配線層上に第1オフセット絶縁膜、前記第1誘電膜、第2オフセット絶縁膜、前記第2誘電膜および第3オフセット絶縁膜の順に積層された多層膜である請求項1記載の半導体装置。

【請求項9】半導体基板上に第1配線層を形成する工程と、

前記第1配線層上に、下部電極を含む第1金属層を形成する工程と、

20 互いにエッチング速度の異なる誘電膜とオフセット絶縁膜とを、前記第1金属層上に第1オフセット絶縁膜、第1誘電膜、第2オフセット絶縁膜、第2誘電膜および第3オフセット絶縁膜の順に積層し、層間絶縁膜を形成する工程と、

接続孔形成部分の前記第3オフセット絶縁膜を除去する工程と、

前記第3オフセット絶縁膜をマスクとして前記第2誘電膜をエッチングし、接続孔形成部分の前記第2誘電膜を除去する工程と、

30 前記第2誘電膜をマスクとして前記第2オフセット絶縁膜をエッチングし、接続孔形成部分の前記第2オフセット絶縁膜を除去する工程と、

前記接続孔形成部分を含む、配線溝形成部分の前記第3オフセット絶縁膜を除去する工程と、

前記第3オフセット絶縁膜をマスクとして前記第2誘電膜をエッチングしながら、前記第2オフセット絶縁膜をマスクとして前記第1誘電膜をエッチングすることにより、前記第2誘電膜に配線溝を形成し、かつ、接続孔形成部分の前記第1誘電膜を除去する工程と、

40 前記第1誘電膜をマスクとして前記第1オフセット絶縁膜をエッチングし、前記下部電極の表面に達する接続孔を形成する工程と、

前記配線溝および前記接続孔の内部を被覆するように、前記第1および第2誘電膜よりも高誘電率であるキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜の表面に第2金属層からなる上部電極を形成する工程と、

前記上部電極の表面、かつ前記配線溝および前記接続孔の内部に第2配線層を形成する工程とを有する半導体装置の製造方法。

50

(3)

特開2001-177076

3

【請求項10】前記層間絶縁膜に前記配線溝および前記接続孔を形成後、前記配線溝および前記接続孔の側面を被覆し、下端が前記第1金属層に接続する第3金属層を形成する工程を有し、前記キャパシタ絶縁膜を形成する工程は、前記配線溝および前記接続孔の内部に前記第3金属層を介して前記キャパシタ絶縁膜を形成する工程である請求項9記載の半導体装置の製造方法。

【請求項11】前記第3金属層を形成する工程は、前記配線溝および前記接続孔の内部に金属膜を形成する工程と、

前記金属膜にエッチングを行い、前記配線溝および前記接続孔の側面に前記金属膜を残して、前記接続孔底部の前記金属膜を除去する工程とを有する請求項10記載の半導体装置の製造方法。

【請求項12】前記金属膜にエッチングを行う工程において、前記配線溝および前記接続孔の側面を被覆する前記金属膜の上端をエッチングし、第3金属層の上端を前記層間絶縁膜の上端よりも低い位置とする請求項11記載の半導体装置の製造方法。

【請求項13】前記第2配線層を形成する工程は、前記配線溝および前記接続孔の内部および前記層間絶縁膜上に、導電体層を形成する工程と、前記導電体層に化学的機械研磨を行い、前記配線溝および前記接続孔の内部に前記導電体層を残して、前記層間絶縁膜上の前記導電体層を除去する工程とを有する請求項9記載の半導体装置の製造方法。

【請求項14】前記上部電極を形成後、前記第2配線層を形成する前に、前記下部電極、前記キャパシタ絶縁膜および前記上部電極からなるキャパシタと隔てられた位置の前記層間絶縁膜に再度エッチングを行って、第2配線溝および第2接続孔を形成する工程を有し、前記第2配線層を形成する工程において、前記第2配線溝および第2接続孔の内部にも配線層を形成する請求項9記載の半導体装置の製造方法。

【請求項15】前記第2配線溝および第2接続孔を形成後、前記第2配線層を形成する前に、前記上部電極の表面および前記第2配線溝および第2接続孔の内部に、同一の導電材料からなる層を成膜し、前記第2配線溝および第2接続孔の内部にバリアメタル層を形成する工程を有する請求項14記載の半導体装置の製造方法。

【請求項16】半導体基板上に第1配線層を形成する工程と、

互いにエッチング速度の異なる誘電膜とオフセット絶縁膜とを、前記第1配線層上に第1オフセット絶縁膜、第1誘電膜、第2オフセット絶縁膜、第2誘電膜および第3オフセット絶縁膜の順に積層し、層間絶縁膜を形成する工程と、接続孔形成部分の前記第3オフセット絶縁膜を除去する工程と、

4

前記第3オフセット絶縁膜をマスクとして前記第2誘電膜をエッチングし、接続孔形成部分の前記第2誘電膜を除去する工程と、

前記第2誘電膜をマスクとして前記第2オフセット絶縁膜をエッチングし、接続孔形成部分の前記第2オフセット絶縁膜を除去する工程と、

前記接続孔形成部分を含む、配線溝形成部分の前記第3オフセット絶縁膜を除去する工程と、

前記第3オフセット絶縁膜をマスクとして前記第2誘電膜をエッチングしながら、前記第2オフセット絶縁膜をマスクとして前記第1誘電膜をエッチングすることにより、前記第2誘電膜に配線溝を形成し、かつ、接続孔形成部分の前記第1誘電膜を除去する工程と、

前記第1誘電膜をマスクとして前記第1オフセット絶縁膜をエッチングし、前記第1配線層の表面に達する接続孔を形成する工程と、

前記配線溝および前記接続孔の内部を被覆するように、第1金属層からなる下部電極を形成する工程と、

前記下部電極の表面に前記第1および第2誘電膜よりも高誘電率であるキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜の表面に第2金属層からなる上部電極を形成する工程と、

前記上部電極の表面、かつ前記配線溝および前記接続孔の内部に第2配線層を形成する工程とを有する半導体装置の製造方法。

【請求項17】前記第2配線層を形成する工程は、前記配線溝および前記接続孔の内部および前記層間絶縁膜上に、導電体層を形成する工程と、

前記導電体層に化学的機械研磨を行い、前記配線溝および前記接続孔の内部に前記導電体層を残して、前記層間絶縁膜上の前記導電体層を除去する工程とを有する請求項16記載の半導体装置の製造方法。

【請求項18】前記上部電極を形成後、前記第2配線層を形成する前に、前記下部電極、前記キャパシタ絶縁膜および前記上部電極からなるキャパシタと隔てられた位置の前記層間絶縁膜に再度エッチングを行って、第2配線溝および第2接続孔を形成する工程を有し、前記第2配線層を形成する工程において、前記第2配線溝および第2接続孔の内部にも配線層を形成する請求項16記載の半導体装置の製造方法。

【請求項19】前記第2配線溝および第2接続孔を形成後、前記第2配線層を形成する前に、前記上部電極の表面および前記第2配線溝および第2接続孔の内部に、同一の導電材料からなる層を成膜し、前記第2配線溝および第2接続孔の内部にバリアメタル層を形成する工程を有する請求項18記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に、配線層の層間に形成された

50

(4)

特開2001-177076

5

デュアルタマシ構造のキャパシタを有する半導体装置、およびデュアルタマシプロセスによりキャパシタと配線とを効率的に形成することができる半導体装置の製造方法に関する。

【0002】

【従来の技術】現在、高密度・大容量のメモリをロジックに混載する場合にはメモリセルとしてDRAM (Dynamic Random Access Memory) を採用することが多い。図17に示すように、DRAMはビット線BLと共通電位線との間に1つのトランジスタTRと1つのキャパシタCAPが直列に接続された構成を有する。トランジスタTRのオン/オフはワード線の電位によって制御される。図17に示すDRAMのメモリセルにおいては、トランジスタTRとキャパシタCAPの接続中点が記憶ノードSNとなり、記憶ノードに蓄積された電荷量の差によってデータの“1”と“0”が判別される。

【0003】キャパシタCAPに蓄積された電荷によってビット線BLを充電し、その際のビット線電位の変化が、ビット線に付加されたセンスアンプを用いて読み出される。したがって、記憶データの読み出しを安定に行うには、ビット線に十分な大きさの電位変化を現出させる必要がある。このため、例えばキャパシタの電極形状を変更したり、キャパシタ絶縁膜として高誘電体材料を用いたりすることにより、キャパシタ容量の増大が図られている。

【0004】しかしながら、メモリセル面積の縮小に伴い、キャパシタ容量自体が低下する傾向にあり、さらに、メモリの大容量化によってビット線容量も増大する。したがって、DRAMのメモリセルの縮小を進めると、ノイズに妨害されずにビット線電位の変化を読み出すのが困難となる。一方、近年のLSIのシステム化により、種々のメモリ混載ロジックLSIが実現されており、このため、DRAMの単位面積当たりのキャパシタ容量を増大させるよりも、キャパシタ専用プロセスを廃止して、ロジック部とキャパシタのプロセスを共通化させる方が、コスト的に有利となる場合も増えてきている。

【0005】そこで、書き込み用と読み出し用を含む複数のトランジスタを有し、記憶データを読み出しトランジスタで増幅してビット線に出力する、いわゆるゲインセルが注目されている。ゲインセルとしては、2つの読み出しトランジスタと1つの書き込みトランジスタを有する3トランジスタ型、書き込みおよび読み出しトランジスタと記憶ノードの昇圧用キャパシタとを有する2トランジスタ-1キャパシタ型などが知られている。以下に、キャパシタを有する2トランジスタ-1キャパシタ型のゲインセルについて、図18の回路図を参照して説明する。

【0006】図18に示すように、書き込みトランジスタ

6

タTRpgmはゲートが書き込みワード線WLpgmに接続され、ソース/ドレインの一方が書き込みビット線BLに接続されている。読み出しトランジスタTRreadは、ゲートが書き込みトランジスタTRpgmのソース/ドレインの他方に接続され、ソースがビット線BLに接続され、ドレインが電源電圧V_{DD}の供給線に接続されている。キャパシタCAPは、一方電極が読み出しトランジスタTRreadと書き込みトランジスタTRpgmの接続中点に接続され、他方電極が読み出しワード線WLreadに接続されている。キャパシタCAPの一方電極と、これに接続された読み出しトランジスタTRreadと書き込みトランジスタTRpgmとの接続中点が、メモリセルの記憶ノードSNをなす。

【0007】図18のゲインセルにおいては、記憶ノードSNの電荷蓄積量を変化させることによって、読み出しトランジスタTRreadのゲート電極のバイアス値を変化させる。例えば、記憶ノードSNの電荷蓄積量がゼロあるいは、読み出し時の所定バイアス条件下で読み出しトランジスタTRreadがオンとならない程度に少ない状態を、記憶データの“0”に対応させ、読み出しトランジスタTRreadがオンとなる程度に電荷が蓄積された状態を記憶データの“1”に対応させる。データの書き込み時には、書き込みワード線WLpgmを活性化して書き込みトランジスタTRpgmをオンさせ、ビット線BLの設定電位に応じて記憶ノードSNの電荷蓄積量を変更する。

【0008】データの読み出し時には、読み出しワード線WLreadをハイレベルとしてキャパシタを介した容量結合により、記憶ノードをブーストする。このブースト後の電圧レベルは記憶データの論理により異なる。記憶データが“1”の場合、記憶ノードSNのブースト前の電荷蓄積量が相対的に多いため、読み出しトランジスタTRreadがオンとなり、電荷が電源電圧V_{DD}の供給線からビット線BLに供給され、その電位が上昇する。一方、記憶データが“0”の場合には、記憶ノードSNのブースト前の電荷蓄積量が相対的に少ないため、読み出しトランジスタTRreadはオフのままとなり、ビット線BLの電圧変化はない。上記のような記憶データに応じたビット線BLの電位変化を、ビット線に接続されたセンスアンプ（不図示）を用いて検出し、記憶データとして判別する。

【0009】以上の動作原理から、図18に示すゲインセルにおいては、キャパシタCAPの電荷蓄積は、記憶データに応じて読み出しトランジスタTRreadのオン/オフを制御できる程度でよい。図18に示すゲインセルによれば、図17に示す1トランジスタ-1キャパシタ型のDRAMのようにキャパシタの蓄積電荷で直接、大容量のビット線を充放電する必要がなく、キャパシタ容量を増大させる必要がない。すなわち、キャパシタ構造を特に工夫したり、キャパシタ絶縁膜の高誘電率

(5)

特開2001-177076

7

材料を開発したりする必要性は、1トランジスタ-1キャパシタ型のDRAMに比較して低い。また、図18に示すゲインセルは、図17に示す1トランジスタ-1キャパシタ型のDRAMに比較してビット線をチャージする能力が大きく、記憶データの読み出しに要する時間がDRAMに比較して短いという利点も有する。

【0010】

【発明が解決しようとする課題】しかしながら、上記のようなゲインセルは、1トランジスタ-1キャパシタ型のDRAMに比較してメモリセルを構成する素子の数が多く、1ビット当たりの占有面積が大きくなるという欠点を有する。図18に示すゲインセルは2トランジスタと1キャパシタの構成となるため、DRAMに比較して1ビット当たりの面積が大きく、ビット単価も高くなる。

【0011】本発明は上記の問題点を鑑みてなされたものであり、したがって本発明は、メモリセル面積の縮小が可能であり、かつ、配線と共有化されたプロセスで形成できるようなキャパシタを有する半導体装置およびその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置は、半導体基板と、前記半導体基板上に形成された第1配線層と、前記第1配線層上の少なくとも一部に形成された、第1金属層からなる下部電極と、前記第1配線層上に形成された、第1誘電膜とその上層の第2誘電膜を有する層間絶縁膜と、前記第1誘電膜上の前記層間絶縁膜に形成された配線溝と、前記配線溝下部の少なくとも一部の前記層間絶縁膜に形成され、前記下部電極の表面に達する接続孔と、前記配線溝および前記接続孔の内部を被覆し、前記第1および第2誘電膜よりも高誘電率であるキャパシタ絶縁膜と、前記キャパシタ絶縁膜の表面に形成された第2金属層からなる上部電極と、前記上部電極の表面、かつ前記配線溝および前記接続孔の内部に形成された第2配線層とを有することを特徴とする。

【0013】本発明の半導体装置は、好適には、前記第1金属層は前記配線溝および前記接続孔の内部を被覆するように形成され、前記キャパシタ絶縁膜は前記第1金属層を介して前記配線溝および前記接続孔の内部を被覆するように形成されていることを特徴とする。

【0014】あるいは、本発明の半導体装置は、好適には、前記配線溝および前記接続孔の側面を被覆し、下端が前記第1金属層に接続する第3金属層を有し、前記下部電極は、前記接続孔底部の前記第1金属層および前記第3金属層からなり、前記キャパシタ絶縁膜は前記第3金属層を介して前記配線溝および前記接続孔の内部を被覆するように形成されていることを特徴とする。本発明の半導体装置は、好適には、前記第3金属層の上端は、前記層間絶縁膜の上端よりも低い位置にあることを特徴

8

とする。

【0015】本発明の半導体装置は、好適には、前記半導体基板に、ビット線と記憶ノードとの間に接続された書き込みトランジスタと、電源電圧の供給線とビット線との間に接続され、制御電極が前記記憶ノードに接続された読み出しトランジスタとを有し、前記下部電極、前記キャパシタ絶縁膜および前記上部電極からなるキャパシタは、前記記憶ノードとワード線との間に接続され、前記書き込みトランジスタ、前記読み出しトランジスタおよび前記キャパシタをメモリセル内に有することを特徴とする。

【0016】本発明の半導体装置は、さらに好適には、前記メモリセルを含むメモリ部と、論理回路が形成されたロジック部とを有し、前記ロジック部において、前記第2オフセット絶縁膜上の前記層間絶縁膜に形成された配線溝と、前記配線溝下部の前記層間絶縁膜に形成され、前記下部電極の表面に達する接続孔と、前記配線溝および前記接続孔の内部に形成されたロジック部配線層とを有し、前記第2配線層は、前記ロジック部配線層と同一の導電材料からなることを特徴とする。本発明の半導体装置は、さらに好適には、前記ロジック部配線層は、前記配線溝および前記接続孔の内部にバリアメタル層を介して形成され、前記バリアメタル層は前記上部電極の表層部分と同一の導電材料からなることを特徴とする。

【0017】本発明の半導体装置は、好適には、前記層間絶縁膜は、互いにエッチング速度の異なる誘電膜とオフセット絶縁膜とが、前記第1配線層上に第1オフセット絶縁膜、前記第1誘電膜、第2オフセット絶縁膜、前記第2誘電膜および第3オフセット絶縁膜の順に積層された多層膜であることを特徴とする。本発明の半導体装置によれば、2つの配線層間にキャパシタが形成され、一方の配線層をキャパシタの下部電極として、他方の配線層をキャパシタの上部電極として用いることができるため、キャパシタを有するメモリセルの占有面積を縮小することが可能となる。

【0018】さらに、上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に第1配線層を形成する工程と、前記第1配線層上に、下部電極を含む第1金属層を形成する工程と、互いにエッチング速度の異なる誘電膜とオフセット絶縁膜とを、前記第1金属層上に第1オフセット絶縁膜、第1誘電膜、第2オフセット絶縁膜、第2誘電膜および第3オフセット絶縁膜の順に積層し、層間絶縁膜を形成する工程と、接続孔形成部分の前記第3オフセット絶縁膜を除去する工程と、前記第3オフセット絶縁膜をマスクとして前記第2誘電膜をエッチングし、接続孔形成部分の前記第2誘電膜を除去する工程と、前記第2誘電膜をマスクとして前記第2オフセット絶縁膜をエッチングし、接続孔形成部分の前記第2オフセット絶縁膜を除去する工程と、前記接続

(6)

特開2001-177076

9

孔形成部分を含む、配線溝形成部分の前記第3オフセット絶縁膜を除去する工程と、前記第3オフセット絶縁膜をマスクとして前記第2誘電膜をエッチングしながら、前記第2オフセット絶縁膜をマスクとして前記第1誘電膜をエッチングすることにより、前記第2誘電膜に配線溝を形成し、かつ、接続孔形成部分の前記第1誘電膜を除去する工程と、前記第1誘電膜をマスクとして前記第1オフセット絶縁膜をエッチングし、前記下部電極の表面に達する接続孔を形成する工程と、前記配線溝および前記接続孔の内部を被覆するように、前記第1および第2誘電膜よりも高誘電率であるキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜の表面に第2金属層からなる上部電極を形成する工程と、前記上部電極の表面、かつ前記配線溝および前記接続孔の内部に第2配線層を形成する工程とを有することを特徴とする。

【0019】本発明の半導体装置の製造方法は、好適には、前記層間絶縁膜に前記配線溝および前記接続孔を形成後、前記配線溝および前記接続孔の側面を被覆し、下端が前記第1金属層に接続する第3金属層を形成する工程を有し、前記キャパシタ絶縁膜を形成する工程は、前記配線溝および前記接続孔の内部に前記第3金属層を介して前記キャパシタ絶縁膜を形成する工程であることを特徴とする。

【0020】本発明の半導体装置の製造方法は、さらに好適には、前記第3金属層を形成する工程は、前記配線溝および前記接続孔の内部に金属膜を形成する工程と、前記金属膜にエッチングを行い、前記配線溝および前記接続孔の側面に前記金属膜を残して、前記接続孔底部の前記金属膜を除去する工程とを有することを特徴とする。

【0021】本発明の半導体装置の製造方法は、さらに好適には、前記金属膜にエッチングを行う工程において、前記配線溝および前記接続孔の側面を被覆する前記金属膜の上端をエッチングし、第3金属層の上端を前記層間絶縁膜の上端よりも低い位置とすることを特徴とする。

【0022】本発明の半導体装置の製造方法は、好適には、前記第2配線層を形成する工程は、前記配線溝および前記接続孔の内部および前記層間絶縁膜上に、導電体層を形成する工程と、前記導電体層に化学的機械研磨を行い、前記配線溝および前記接続孔の内部に前記導電体層を残して、前記層間絶縁膜上の前記導電体層を除去する工程とを有することを特徴とする。

【0023】本発明の半導体装置の製造方法は、好適には、前記上部電極を形成後、前記第2配線層を形成する前に、前記下部電極、前記キャパシタ絶縁膜および前記上部電極からなるキャパシタと隔てられた位置の前記層間絶縁膜に再度エッチングを行って、第2配線溝および第2接続孔を形成する工程を有し、前記第2配線層を形成する工程において、前記第2配線溝および第2接続孔

10

の内部にも配線層を形成することを特徴とする。

【0024】本発明の半導体装置の製造方法は、好適には、前記第2配線溝および第2接続孔を形成後、前記第2配線層を形成する前に、前記上部電極の表面および前記第2配線溝および第2接続孔の内部に、同一の導電材料からなる層を成膜し、前記第2配線溝および第2接続孔の内部にバリア金属層を形成する工程を有することを特徴とする。

【0025】上記の本発明の半導体装置の製造方法によれば、一方の配線層をキャパシタの下部電極とし、他方の配線層をキャパシタの上部電極として、2つの配線層間にキャパシタを形成することができる。したがって、キャパシタを有するメモリセルの占有面積を縮小することが可能となる。また、本発明の半導体装置の製造方法によれば、キャパシタを形成するプロセスと、デュアルダマシン構造の配線を形成するプロセスを、一部共有化させることができるため、例えば、デュアルダマシン構造のキャパシタをメモリ部に形成し、デュアルダマシン構造の配線をロジック部に形成する場合に、製造コストを低減することが可能となる。

【0026】上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に第1配線層を形成する工程と、互いにエッチング速度の異なる誘電膜とオフセット絶縁膜とを、前記第1配線層上に第1オフセット絶縁膜、第1誘電膜、第2オフセット絶縁膜、第2誘電膜および第3オフセット絶縁膜の順に積層し、層間絶縁膜を形成する工程と、接続孔形成部分の前記第3オフセット絶縁膜を除去する工程と、前記第3オフセット絶縁膜をマスクとして前記第2誘電膜をエッチングし、接続孔形成部分の前記第2誘電膜を除去する工程と、前記第2誘電膜をマスクとして前記第2オフセット絶縁膜をエッチングし、接続孔形成部分の前記第2オフセット絶縁膜を除去する工程と、前記接続孔形成部分を含む、配線溝形成部分の前記第3オフセット絶縁膜を除去する工程と、前記第3オフセット絶縁膜をマスクとして前記第2誘電膜をエッチングしながら、前記第2オフセット絶縁膜をマスクとして前記第1誘電膜をエッチングすることにより、前記第2誘電膜に配線溝を形成し、かつ、接続孔形成部分の前記第1誘電膜を除去する工程と、前記第1誘電膜をマスクとして前記第1オフセット絶縁膜をエッチングし、前記第1配線層の表面に達する接続孔を形成する工程と、前記配線溝および前記接続孔の内部を被覆するように、第1金属層からなる下部電極を形成する工程と、前記下部電極の表面に前記第1および第2誘電膜よりも高誘電率であるキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜の表面に第2金属層からなる上部電極を形成する工程と、前記上部電極の表面、かつ前記配線溝および前記接続孔の内部に第2配線層を形成する工程とを有することを特徴とする。

【0027】本発明の半導体装置の製造方法は、好適に

(7)

特開2001-177076

11

は、前記第2配線層を形成する工程は、前記配線溝および前記接続孔の内部および前記層間絶縁膜上に、導電体を形成する工程と、前記導電体層に化学的機械研磨を行い、前記配線溝および前記接続孔の内部に前記導電体層を残して、前記層間絶縁膜上の前記導電体層を除去する工程とを有することを特徴とする。

【0028】本発明の半導体装置の製造方法は、好適には、前記上部電極を形成後、前記第2配線層を形成する前に、前記下部電極、前記キャパシタ絶縁膜および前記上部電極からなるキャパシタと隔てられた位置の前記層間絶縁膜に再度エッチングを行って、第2配線溝および第2接続孔を形成する工程を有し、前記第2配線層を形成する工程において、前記第2配線溝および第2接続孔の内部にも配線層を形成することを特徴とする。

【0029】本発明の半導体装置の製造方法は、好適には、前記第2配線溝および第2接続孔を形成後、前記第2配線層を形成する前に、前記上部電極の表面および前記第2配線溝および第2接続孔の内部に、同一の導電材料からなる層を成膜し、前記第2配線溝および第2接続孔の内部にバリアメタル層を形成する工程を有することを特徴とする。

【0030】上記の本発明の半導体装置の製造方法によれば、一方の配線層をキャパシタの下部電極とし、他方の配線層をキャパシタの上部電極として、2つの配線層間にキャパシタを形成することができる。したがって、キャパシタを有するメモリセルの占有面積を縮小することが可能となる。また、本発明の半導体装置の製造方法によれば、キャパシタを形成するプロセスと、デュアルダマシン構造の配線を形成するプロセスを、一部共有化させることができるため、例えば、デュアルダマシン構造のキャパシタをメモリ部に形成し、デュアルダマシン構造の配線をロジック部に形成する場合に、製造コストを低減することが可能となる。

【0031】

【発明の実施の形態】以下に、本発明の半導体装置およびその製造方法の実施の形態について、図面を参照して説明する。

（実施形態1）図1は本実施形態の半導体装置のキャパシタ部分を表す断面図である。図1に示すように、半導体基板等の下地（不図示）の表面に、例えばCuからなる第1配線層1が形成されている。その上層に例えばTa-Nからなり、一部がキャパシタの下部電極となる第1金属層2aが形成されている。第1金属層2aの上層に、第1オフセット絶縁膜としてのシリコン窒化膜3と、例えばポリアリールエーテル系樹脂からなりオフセット絶縁膜とはエッチング速度の異なる第1低誘電率膜4と、第2オフセット絶縁膜としてのシリコン酸化膜5と、例えばポリアリールエーテル系樹脂からなりオフセット絶縁膜とはエッチング速度の異なる第2低誘電率膜6と、第3オフセット絶縁膜としてのシリコン酸化膜7

12

との計5層の積層膜からなる層間絶縁膜が形成されている。

【0032】上記の層間絶縁膜に配線溝8と、その下部の接続孔9とからなるデュアルダマシン構造が形成され、接続孔9底部の第1金属層2aがキャパシタの下部電極となる。配線溝8および接続孔9の内部を被覆するように、例えばシリコン窒化膜などの誘電膜からなるキャパシタ絶縁膜10が形成されている。その表面に、例えばTa-Nからなり、キャパシタの上部電極となる第2金属層11が形成されている。さらにその表面に、配線溝8および接続孔9を埋め込むように、例えばCuからなる第2配線層12が形成されている。

【0033】キャパシタの下部電極である第1金属層2aは第1配線層1に、上部電極である第2金属層11は第2配線層12に、それぞれ電気的に接続されている。上記の本実施形態の半導体装置によれば、2つの配線層間にキャパシタが形成され、一方の配線層をキャパシタの下部電極として、他方の配線層をキャパシタの上部電極として用いることができるため、キャパシタを有するメモリセルの占有面積を縮小することが可能となる。

【0034】（実施形態2）図2は本実施形態の半導体装置のキャパシタ部分を表す断面図である。図2に示すように、半導体基板等の下地（不図示）の表面に、例えばCuからなる第1配線層1が形成されている。その上層に第1オフセット絶縁膜としてのシリコン窒化膜3と、例えばポリアリールエーテル系樹脂からなりオフセット絶縁膜とはエッチング速度の異なる第1低誘電率膜4と、第2オフセット絶縁膜としてのシリコン酸化膜5と、例えばポリアリールエーテル系樹脂からなりオフセット絶縁膜とはエッチング速度の異なる第2低誘電率膜6と、第3オフセット絶縁膜としてのシリコン酸化膜7との計5層の積層膜からなる層間絶縁膜が形成されている。

【0035】上記の層間絶縁膜に配線溝8と、その下部の接続孔9とからなるデュアルダマシン構造が形成されている。配線溝8および接続孔9の内部を被覆するように、例えばTa-Nからなり、キャパシタの下部電極となる第1金属層2bが形成されている。その表面に、例えばシリコン窒化膜などの誘電膜からなるキャパシタ絶縁膜10が形成され、さらにその表面に、例えばTa-Nからなり、キャパシタの上部電極となる第2金属層11aが形成されている。第2金属層11aの表面に、配線溝8および接続孔9を埋め込むように、例えばCuからなる第2配線層12が形成されている。

【0036】キャパシタの下部電極である第1金属層2bは第1配線層1に、上部電極である第2金属層11は第2配線層12に、それぞれ電気的に接続されている。上記の本実施形態の半導体装置によれば、2つの配線層間にキャパシタが形成され、一方の配線層をキャパシタの下部電極として、他方の配線層をキャパシタの上部電

(8)

特開2001-177076

13

極として用いることができるため、キャパシタを有するメモリセルの占有面積を縮小することが可能となる。

【0037】（実施形態3）図3は本実施形態の半導体装置のキャパシタ部分を表す断面図である。図3に示すように、半導体基板等の下地（不図示）の表面に、例えばCuからなる第1の配線層1が形成されている。その上層に例えばTa₂N₅からなり、一部がキャパシタの下部電極となる第1金属層2aが形成されている。第1金属層2aの上層に、第1オフセット絶縁膜としてのシリコン窒化膜3と、例えばポリアリールエーテル系樹脂からなりオフセット絶縁膜とはエッチング速度の異なる第1低誘電率膜4と、第2オフセット絶縁膜としてのシリコン酸化膜5と、例えばポリアリールエーテル系樹脂からなりオフセット絶縁膜とはエッチング速度の異なる第2低誘電率膜6と、第3オフセット絶縁膜としてのシリコン酸化膜7との計5層の積層膜からなる層間絶縁膜が形成されている。

【0038】上記の層間絶縁膜に配線溝8と、その下部の接続孔9とからなるデュアルダマシンプロセスが形成されている。配線溝8および接続孔9の側壁を被覆し、接続孔9底部の第1金属層2aに接続するように、例えばTa₂N₅からなる第3金属層13が形成されている。第3金属層13は接続孔9底部の第1金属層2aとともに、キャパシタの下部電極となる。第3金属層13および接続孔9底部の第1金属層2aを被覆するように、例えばシリコン窒化膜などの誘電膜からなるキャパシタ絶縁膜10が形成されている。その表面に、例えばTa₂N₅からなり、キャパシタの上部電極となる第2金属層11が形成されている。さらにその表面に、配線溝8および接続孔9を埋め込むように、例えばCuからなる第2配線層12が形成されている。

【0039】キャパシタの下部電極である第1金属層2aおよび第3金属層13は第1配線層1に、上部電極である第2金属層11は第2配線層12に、それぞれ電気的に接続されている。上記の本実施形態の半導体装置によれば、2つの配線層間にキャパシタが形成され、一方の配線層をキャパシタの下部電極として、他方の配線層をキャパシタの上部電極として用いることができるため、キャパシタを有するメモリセルの占有面積を縮小することが可能となる。

【0040】（実施形態4）次に、上記の実施形態1に示す半導体装置の製造方法について説明する。まず、図4（a）に示すように、例えば半導体回路等が形成された下地の半導体基板（不図示）の表面に、例えばCuのスパッタリングにより第1配線層1を形成する。その上層に、例えばTa₂N₅のスパッタリングにより第1金属層2aを形成する。第1金属層2aは一部がキャパシタの下部電極となるだけでなく、第1配線層1を構成する材料が層間膜に拡散するのを防止するバリアメタルとしても作用する。

14

【0041】第1金属層2aの上層に、例えば化学気相成長（CVD）により第1オフセット絶縁膜としてのシリコン窒化膜3を例えば膜厚50nmで形成する。その上層に、例えばポリアリールエーテル系の有機膜からなりオフセット絶縁膜とはエッチング速度の異なる第1低誘電率膜4を、例えば膜厚300nmで形成する。その上層に、例えばCVDにより第2オフセット絶縁膜としてのシリコン酸化膜5を例えば膜厚50nmで形成する。シリコン酸化膜5の上層に、例えばポリアリールエーテル系の有機膜からなりオフセット絶縁膜とはエッチング速度の異なる第2低誘電率膜6を、例えば膜厚300nmで形成する。その上層に、例えばCVDにより第3オフセット絶縁膜としてのシリコン酸化膜7を例えば膜厚100nmで形成する。これにより、デュアルダマシンプロセスとするための5層の層間絶縁膜が形成される。

【0042】次に、図4（b）に示すように、シリコン酸化膜7の上層に例えばCVDにより、エッチングマスクとなるシリコン窒化膜14を例えば膜厚100nmで形成する。シリコン窒化膜14の上層にフォトレジスト15を塗布し、フォトリソグラフィにより配線溝8部分のフォトレジスト15を除去する。続いて、図5（a）に示すように、フォトレジスト15をマスクとしてドライエッチングを行い、配線溝8部分のシリコン窒化膜14を除去する。その後、フォトレジスト15を除去する。

【0043】次に、図5（b）に示すように、再びフォトレジスト16を塗布し、フォトリソグラフィにより接続孔9部分のフォトレジスト16を除去する。続いて、図6（a）に示すように、フォトレジスト16をマスクとしてドライエッチングを行い、接続孔9部分のシリコン酸化膜7を除去する。さらに、図6（b）に示すように、ドライエッチングにより接続孔9部分の第2低誘電率膜6を除去する。このエッチング工程において、フォトレジスト16も除去される。

【0044】次に、図7（a）に示すように、シリコン窒化膜14をマスクとしてシリコン酸化膜7にドライエッチングを行い、配線溝8部分のシリコン酸化膜7を除去する。このエッチング工程において、接続孔9部分のシリコン酸化膜5も除去される。続いて、図7（b）に示すように、シリコン酸化膜7およびシリコン窒化膜5をマスクとして、第1低誘電率膜4および第2低誘電率膜6にエッチングを行う。このエッチング工程において、第2低誘電率膜6に配線溝8が、第1低誘電率膜4に接続孔9がそれぞれ形成される。その後、図8（a）に示すように、接続孔9底部のシリコン窒化膜3をドライエッチングにより除去する。これにより、接続孔9底部に第1金属層2aが露出する。また、このエッチング工程においてシリコン窒化膜14も除去される。

【0045】次に、上記のデュアルダマシンプロセスによって形成された配線溝8および接続孔9に、キャパシ

50

(9)

特開2001-177076

15

タを形成する。図8(b)に示すように、配線溝8および接続孔9の内壁にキャパシタ絶縁膜10としてシリコン窒化膜を、例えばCVDにより膜厚30nmで形成する。続いて、キャパシタ絶縁膜10の上層に、例えばTaNのスパッタリングにより第2金属層11を形成する。第2金属層11はキャパシタの上部電極となるだけでなく、第2配線層12を構成する材料が層間絶縁膜に拡散するのを防止するバリアメタルとしても作用する。

【0046】さらに、例えばCuの電解めっきにより、配線溝8および接続孔9を埋め込む膜厚2〜5μm程度のCu層12aを形成する。その後、Cu層12aの表面に化学的機械研磨(CMP: Chemical Mechanical Polishing)を行うことにより、図1に示すように、第2配線層12を形成する。以上の工程により、図1に示すキャパシタが得られる。

【0047】上記の本実施形態の半導体装置の製造方法によれば、一方の配線層をキャパシタの下部電極とし、他方の配線層をキャパシタの上部電極として、2つの配線層間にキャパシタを形成することができる。したがって、キャパシタを有するメモリセルの占有面積を縮小することが可能となる。

【0048】(実施形態5)次に、上記の実施形態1に示す半導体装置のキャパシタを、デュアルダマシンプロセスによる配線加工との整合性をとりながら形成する方法について説明する。図9(a)に、本実施形態の半導体装置の製造方法により形成されるキャパシタおよび配線の断面図を示す。キャパシタ部分Aの第2配線層12と配線部分Bの第2配線層12は同一の導電材料からなる。また、キャパシタ部分Aの上部電極表面のTaN層18と配線部分Bのバリアメタル層であるTaN層18は同一の導電材料からなる。

【0049】本実施形態の半導体装置の製造方法によれば、まず、図9(b)に示すように、下地の半導体基板(不図示)表面のキャパシタ部分Aと、配線溝および接続孔からなるデュアルダマシン構造の配線部分Bに、例えばCuのスパッタリングにより第1配線層1を形成する。その上層に、例えばTaNのスパッタリングにより第1金属層2aを形成する。第1金属層2aはキャパシタの下部電極となるだけでなく、第1配線層1を構成する材料が層間膜に拡散するのを防止するバリアメタルとしても作用する。

【0050】第1金属層2aの上層に、例えばCVDにより第1オフセット絶縁膜としてのシリコン窒化膜3を、例えば膜厚50nmで形成する。その上層に、例えばポリアリアルエーテル系の有機膜からなりオフセット絶縁膜とはエッチング速度の異なる第1低誘電率膜4を、例えば膜厚300nmで形成する。その上層に、例えばCVDにより第2オフセット絶縁膜としてのシリコン酸化膜5を例えば膜厚50nmで形成する。シリコン酸化膜5の上層に、例えばポリアリアルエーテル系の有

16

機膜からなりオフセット絶縁膜とはエッチング速度の異なる第2低誘電率膜6を、例えば膜厚300nmで形成する。その上層に、例えばCVDにより第3オフセット絶縁膜としてのシリコン酸化膜7を例えば膜厚100nmで形成する。これにより、デュアルダマシン構造とするための5層の層間絶縁膜が形成される。

【0051】次に、図9(c)に示すように、キャパシタ部分Aの層間絶縁膜にデュアルダマシン構造の配線溝8aおよび接続孔9aを形成する。この工程は、実施形態4の図4(b)〜図8(a)に示す工程と同様のデュアルダマシンプロセスに従って行う。続いて、配線溝8aと接続孔9aの内部およびシリコン酸化膜7上に、誘電膜として例えばシリコン窒化膜からなるキャパシタ絶縁膜10を、例えばCVDにより膜厚30nmで形成する。さらに、キャパシタ絶縁膜10の上層に、例えばTaNのスパッタリングにより第2金属層11を形成する。第2金属層11はキャパシタの上部電極となるだけでなく、第2配線層12を構成する材料が層間絶縁膜に拡散するのを防止するバリアメタルとしても作用する。

【0052】次に、図10(a)に示すように、キャパシタ部分Aを被覆するフォトレジスト17を形成する。フォトレジスト17をマスクとしてドライエッチングを行い、キャパシタ部分A以外の第2金属層11およびキャパシタ絶縁膜10を除去する。これにより配線部分Bは、シリコン酸化膜7が露出した状態となる。その後、フォトレジスト17を除去する。次に、図10(b)に示すように、キャパシタ部分Aが第2金属層11によって被覆された状態で、配線部分Bにデュアルダマシンプロセスを行い、配線溝8bおよび接続孔9bを形成する。この工程は、実施形態4の図4(b)〜図8(a)に示す工程と同様のデュアルダマシンプロセスに従って行う。

【0053】あるいは、上記のようにフォトレジスト17をマスクとしてキャパシタ部分Aにのみ第2金属層11を残し、配線部分Bに例えばシリコン窒化膜をエッチングマスクとしたデュアルダマシンプロセスを行うかわりに、第2金属層11をエッチングマスクとして配線部分Bにデュアルダマシンプロセスを行うこともできる。すなわち、実施形態4の図4(b)〜図7(b)に示す工程において、シリコン窒化膜14を第2金属層11に変更してもよい。

【0054】次に、図10(c)に示すように、配線溝8aおよび接続孔9a内部のキャパシタ絶縁膜10の表面と、配線溝8bおよび接続孔9bの内部と、第2金属層11およびシリコン酸化膜7の上部とに、例えばTaNをスパッタリングしてTaN層18を形成する。TaN層18は、キャパシタ部分Aにおいて第2金属層11上に積層される。また、TaN層18は配線部分Bにおいて、配線溝8bおよび接続孔9bの内部の第2配線層12を構成する材料が、層間絶縁膜に拡散するのを防止

(10)

特開2001-177076

17

するバリアメタルとしても作用する。

【0055】さらに、例えばCuの電解めっきにより、配線溝8a、8bおよび接続孔9a、9bを埋め込む膜厚2〜5μm程度のCu層12aを形成する。その後、Cu層12aの表面にCMPを行うことにより、図9(a)に示すように、第2配線層12を形成する。以上の工程により、図9(a)に示すキャパシタとデュアルダマシンプロセスの配線が得られる。

【0056】上記の本実施形態の半導体装置の製造方法によれば、デュアルダマシンプロセスによる配線形成と一部のプロセスを共有化させて、2つの配線層間にキャパシタを形成することが可能となる。デュアルダマシンプロセスのキャパシタを形成するプロセスを、配線加工のデュアルダマシンプロセスに単純に追加した場合には、例えば、キャパシタの上部電極に接続する配線層を形成した後、キャパシタ部分をフォトレジスト等により被覆して、再度、配線部分にデュアルダマシンプロセスを行うことになる。それに対し、本実施形態の半導体装置の製造方法は、キャパシタ部分と配線部分とのプロセスの整合性がとれるため、半導体装置の製造コストを低減することが可能となる。

【0057】(実施形態6)次に、上記の実施形態2に示す半導体装置のキャパシタを、デュアルダマシンプロセスによる配線加工との整合性をとりながら形成する方法について説明する。図11(a)に、本実施形態の半導体装置の製造方法により形成されるキャパシタおよび配線の断面図を示す。キャパシタ部分Aの第2配線層12と配線部分Bの第2配線層12は同一の導電材料からなる。また、キャパシタ部分Aの上部電極表面のTa-N層18と配線部分Bのバリアメタル層であるTa-N層18は同一の導電材料からなる。

【0058】本実施形態の半導体装置の製造方法によれば、まず、図11(b)に示すように、下地の半導体基板(不図示)表面のキャパシタ部分Aと、配線溝および接続孔からなるデュアルダマシンプロセスの配線部分Bに、例えばCuのスパッタリングにより第1配線層1を形成する。その上層に、例えばCVDにより第1オフセット絶縁膜としてのシリコン窒化膜3を、例えば膜厚50nmで形成する。シリコン窒化膜3の上層に、例えばポリアリアルエーテル系の有機膜からなりオフセット絶縁膜とはエッチング速度の異なる第1低誘電率膜4を、例えば膜厚300nmで形成する。その上層に、例えばCVDにより第2オフセット絶縁膜としてのシリコン酸化膜5を例えば膜厚50nmで形成する。シリコン酸化膜5の上層に、例えばポリアリアルエーテル系の有機膜からなりオフセット絶縁膜とはエッチング速度の異なる第2低誘電率膜6を、例えば膜厚300nmで形成する。その上層に、例えばCVDにより第3オフセット絶縁膜としてのシリコン酸化膜7を例えば膜厚100nmで形成する。これにより、デュアルダマシンプロセスとするための

18

5層の層間絶縁膜が形成される。

【0059】次に、図11(c)に示すように、キャパシタ部分Aの層間絶縁膜にデュアルダマシンプロセスの配線溝8aおよび接続孔9aを形成する。この工程は、実施形態4の図4(b)〜図8(a)に示す工程と同様のデュアルダマシンプロセスに従って行う。続いて、配線溝8aと接続孔9aの内部およびシリコン酸化膜7上に、例えばTa-Nのスパッタリングにより第1金属層2bを形成する。第1金属層2bはキャパシタの下部電極となるだけでなく、第1配線層1を構成する材料が層間絶縁膜に拡散するのを防止するバリアメタルとしても作用する。

【0060】次に、図12(a)に示すように、配線溝8aと接続孔9aの内部およびシリコン酸化膜7上に、誘電膜として例えばシリコン窒化膜からなるキャパシタ絶縁膜10を、例えばプラズマCVDにより膜厚30nmで形成する。続いて、図12(b)に示すように、キャパシタ絶縁膜10の上層に、例えばTa-Nのスパッタリングにより第2金属層11を形成する。第2金属層11はキャパシタ絶縁膜10によって第1金属層2bから電気的に絶縁される。第2金属層11はキャパシタの上部電極となるだけでなく、第2配線層12を構成する材料が層間絶縁膜に拡散するのを防止するバリアメタルとしても作用する。

【0061】次に、図12(c)に示すように、キャパシタ部分Aを被覆するフォトレジスト17を形成する。フォトレジスト17をマスクとしてドライエッチングを行い、キャパシタ部分A以外の第2金属層11、キャパシタ絶縁膜10および第1金属層2bを除去する。これにより配線部分Bは、シリコン酸化膜7が露出した状態となる。その後、フォトレジスト17を除去する。

【0062】次に、図13(a)に示すように、キャパシタ部分Aが第2金属層11によって被覆された状態で、配線部分Bにデュアルダマシンプロセスを行い、配線溝8bおよび接続孔9bを形成する。この工程は、実施形態4の図4(b)〜図8(a)に示す工程と同様のデュアルダマシンプロセスに従って行う。

【0063】あるいは、上記のようにフォトレジスト17をマスクとしてキャパシタ部分Aにのみ第2金属層11を残し、配線部分Bに例えばシリコン窒化膜をエッチングマスクとしたデュアルダマシンプロセスを行うかわりに、第2金属層11をエッチングマスクとして配線部分Bにデュアルダマシンプロセスを行うこともできる。すなわち、実施形態4の図4(b)〜図7(b)に示す工程において、シリコン窒化膜14を第2金属層11に変更してもよい。

【0064】次に、図13(b)に示すように、配線溝8aおよび接続孔9a内部のキャパシタ絶縁膜10の表面と、配線溝8bおよび接続孔9bの内部と、第2金属層11およびシリコン酸化膜7の上部とに、例えばTa

特開2001-177076

(11)

19

NをスパッタリングしてTa N層18を形成する。Ta N層18は、キャパシタ部分Aにおいて第2金属層11上に積層される。また、Ta N層18は配線部分Bにおいて、配線溝8bおよび接続孔9bの内部の第2配線層12を構成する材料が、層間絶縁膜に拡散するのを防止するバリアメタルとしても作用する。

【0065】次に、図13(c)に示すように、例えばCuの電解めっきにより、配線溝8a、8bおよび接続孔9a、9bを埋め込む膜厚2~5μm程度のCu層12aを形成する。その後、Cu層12aの表面にCMP 10を行うことにより、図11(a)に示すように、第2配線層12を形成する。以上の工程により、図11(a)に示すキャパシタとデュアルダマシンの構造の配線が得られる。

【0066】上記の本実施形態の半導体装置の製造方法によれば、デュアルダマシンプロセスによる配線形成と一部のプロセスを共有化させて、2つの配線層間にキャパシタを形成することが可能となる。デュアルダマシンの構造のキャパシタを形成するプロセスを、配線加工のデュアルダマシンプロセスに単純に追加した場合には、例えば、キャパシタの上部電極に接続する配線層を形成した後、キャパシタ部分をフォトレジスト等により被覆して、再度、配線部分にデュアルダマシンプロセスを行うことになる。それに対し、本実施形態の半導体装置の製造方法は、キャパシタ部分と配線部分とのプロセスの整合性がとれるため、半導体装置の製造コストを低減することが可能となる。

【0067】(実施形態7) 次に、上記の実施形態3に示す半導体装置のキャパシタを、デュアルダマシンプロセスによる配線加工との整合性をとりながら形成する方法について説明する。図14(a)に、本実施形態の半導体装置の製造方法により形成されるキャパシタおよび配線の断面図を示す。キャパシタ部分Aの第2配線層12と配線部分Bの第2配線層12は同一の導電材料からなる。また、キャパシタ部分Aの上部電極表面のTa N層18と配線部分Bのバリアメタル層であるTa N層18は同一の導電材料からなる。

【0068】本実施形態の半導体装置の製造方法によれば、まず、図14(b)に示すように、下地の半導体基板(不図示)表面のキャパシタ部分Aと、配線溝および接続孔からなるデュアルダマシンの構造の配線部分Bに、例えばCuのスパッタリングにより第1配線層1を形成する。その上層に、例えばTa Nのスパッタリングにより第1金属層2aを形成する。第1金属層2aはキャパシタの下部電極の一部となるだけでなく、第1配線層1を構成する材料が層間絶縁膜に拡散するのを防止するバリアメタルとしても作用する。

【0069】第1金属層2aの上層に、例えばCVDによりオフセット絶縁膜としてのシリコン窒化膜3を、例えば膜厚50nmで形成する。その上層に、例えばポリ

20

アリールエーテル系の有機膜からなりオフセット絶縁膜とはエッチング速度の異なる第1低誘電率膜4を、例えば膜厚300nmで形成する。その上層に、例えばCVDにより第2オフセット絶縁膜としてのシリコン酸化膜5を例えば膜厚50nmで形成する。シリコン酸化膜5の上層に、例えばポリアリールエーテル系の有機膜からなりオフセット絶縁膜とはエッチング速度の異なる第2低誘電率膜6を、例えば膜厚300nmで形成する。その上層に、例えばCVDにより第3オフセット絶縁膜としてのシリコン酸化膜7を例えば膜厚100nmで形成する。これにより、デュアルダマシンの構造とするための5層の層間絶縁膜が形成される。

【0070】次に、図14(c)に示すように、キャパシタ部分Aの層間絶縁膜にデュアルダマシンの構造の配線溝8aおよび接続孔9aを形成する。この工程は、実施形態4の図4(b)~図8(a)に示す工程と同様のデュアルダマシンプロセスに従って行う。続いて、配線溝8aと接続孔9aの内部およびシリコン酸化膜7上に、例えばTa Nのスパッタリングにより第3金属層13となるTa N層13aを形成する。Ta N層13aは、配線溝8aと接続孔9aとの口径の差に基づいた、配線溝8aと接続孔9aとの間の段差を解消するのに十分な膜厚で形成する。配線溝8aと接続孔9aとの段差が例えば20nmの場合には、Ta N層13aの膜厚を例えば30nmとする。

【0071】次に、図15(a)に示すように、Ta N層13aにエッチバックを行い、配線溝8aと接続孔9aの側壁のみにTa N層13aを残す。このとき、第2金属層11の上端はシリコン酸化膜7の上端よりも低い位置、すなわち配線溝8aの上端より低い位置であってもよいが、エッチバックを行う際に、特に配線溝8aと接続孔9aとの段差部分において第2の金属層11bが分断されないようにする。これにより、接続孔9a底部の第1金属層2aに接続し、配線溝8aおよび接続孔9aのサイドウォールとなる第3金属層13が形成される。第1金属層2aおよび第3金属層13はキャパシタの下部電極となる。

【0072】次に、図15(b)に示すように、誘電膜として例えばシリコン窒化膜からなるキャパシタ絶縁膜10を、例えばCVDにより膜厚30nmで形成する。続いて、図15(c)に示すように、キャパシタ絶縁膜10の表面に、例えばTa Nのスパッタリングにより第2金属層11を形成する。第2金属層11はキャパシタ絶縁膜10によって第1金属層2aおよび第3金属層13から電気的に絶縁される。第2金属層11はキャパシタの上部電極となるだけでなく、第2配線層12を構成する材料が層間絶縁膜に拡散するのを防止するバリアメタルとしても作用する。

【0073】次に、図16(a)に示すように、キャパシタ部分Aを被覆するフォトレジスト17を形成する。

フォトレジスト17をマスクとしてドライエッチングを行い、キャパシタ部分A以外の第2金属層11およびキャパシタ絶縁膜10を除去する。これにより配線部分Bは、シリコン酸化膜7が露出した状態となる。

【0074】次に、図16(b)に示すように、キャパシタ部分Aが第2金属層11によって被覆された状態で、配線部分Bにデュアルダマシンプロセスを行い、配線溝8bおよび接続孔9bを形成する。この工程は、実施形態4の図4(b)～図8(a)に示す工程と同様のデュアルダマシンプロセスに従って行う。

【0075】あるいは、上記のようにフォトレジスト17をマスクとしてキャパシタ部分Aにのみ第2金属層11を残し、配線部分Bに例えばシリコン窒化膜をエッチングマスクとしたデュアルダマシンプロセスを行うかわりに、第2金属層11をエッチングマスクとして配線部分Bにデュアルダマシンプロセスを行うこともできる。すなわち、実施形態4の図4(b)～図7(b)に示す工程において、シリコン窒化膜14を第2金属層11に変更してもよい。

【0076】次に、図16(b)に示すように、配線溝8aおよび接続孔9a内部のキャパシタ絶縁膜10の表面と、配線溝8bおよび接続孔9bの内部と、第2金属層11およびシリコン酸化膜7の上部とに、例えばTa-NをスパッタリングしてTa-N層18を形成する。Ta-N層18は、キャパシタ部分Aにおいて第2金属層11上に積層される。また、Ta-N層18は配線部分Bにおいて、配線溝8bおよび接続孔9bの内部の第2配線層12を構成する材料が、層間絶縁膜に拡散するのを防止するバリアメタルとしても作用する。

【0077】さらに、例えばCuの電解めっきにより、配線溝8a、8bおよび接続孔9a、9bを埋め込む膜厚2～5μm程度のCu層を形成し、Cu層の表面にCMPを行うことにより、図14(a)に示すように、第2配線層12を形成する。以上の工程により、図14(a)に示すキャパシタとデュアルダマシン構造の配線が得られる。

【0078】上記の本実施形態の半導体装置の製造方法によれば、デュアルダマシンプロセスによる配線形成と一部のプロセスを共有化させて、2つの配線層間にキャパシタを形成することが可能となる。デュアルダマシン構造のキャパシタを形成するプロセスを、配線加工のデュアルダマシンプロセスに単純に追加した場合には、例えば、キャパシタの上部電極に接続する配線層を形成した後、キャパシタ部分をフォトレジスト等により被覆して、再度、配線部分にデュアルダマシンプロセスを行うことになる。それに対し、本実施形態の半導体装置の製造方法は、キャパシタ部分と配線部分とのプロセスの整合性がとれるため、半導体装置の製造コストを低減することが可能となる。

【0079】本発明の半導体装置およびその製造方法の

実施形態は、上記の説明に限定されない。例えば、第1～第3金属層2a、2b、11、13あるいはTa-N層18はTi/TiN積層膜やWN層など、他の導電性材料を用いた層に変更することができる。また、層間絶縁膜の第1および第2低誘電率膜4、6は例えばシリコン酸化膜など、他の誘電膜に変更することができる。キャパシタ絶縁膜10はTa₂O₅、やY₂O₃等の金属酸化物や、STO(SrTiO₃)、BTO(BaTiO₃)あるいはBSTO(Ba_{1-x}Sr_xTiO₃)等のペロブスカイト型酸化物などからなる高誘電率材料を用いた層に変更することもできる。また、上記の方法以外でデュアルダマシン構造を形成してもよい。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0080】

【発明の効果】本発明の半導体装置によれば、2つの配線層間にキャパシタが形成され、キャパシタを有するメモリセルの占有面積を縮小することが可能となる。本発明の半導体装置の製造方法によれば、配線と共有化されたプロセスで配線層間にキャパシタを形成し、半導体装置の製造コストを低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態1に係るキャパシタの断面図である。

【図2】本発明の実施形態2に係るキャパシタの断面図である。

【図3】本発明の実施形態3に係るキャパシタの断面図である。

【図4】(a)および(b)は本発明の実施形態4に係るキャパシタの製造方法の製造工程を示す断面図である。

【図5】(a)および(b)は本発明の実施形態4に係るキャパシタの製造方法の製造工程を示す断面図である。

【図6】(a)および(b)は本発明の実施形態4に係るキャパシタの製造方法の製造工程を示す断面図である。

【図7】(a)および(b)は本発明の実施形態4に係るキャパシタの製造方法の製造工程を示す断面図である。

【図8】(a)および(b)は本発明の実施形態4に係るキャパシタの製造方法の製造工程を示す断面図である。

【図9】(a)は本発明の実施形態5に係るキャパシタの製造方法により製造されるキャパシタの断面図であり、(b)および(c)は本発明の実施形態5に係るキャパシタの製造方法の製造工程を示す断面図である。

【図10】(a)～(c)は本発明の実施形態5に係るキャパシタの製造方法の製造工程を示す断面図である。

【図11】(a)は本発明の実施形態6に係るキャパシ

タの製造方法により製造されるキャパシタの断面図であり、(b)および(c)は本発明の実施形態6に係るキャパシタの製造方法の製造工程を示す断面図である。

【図12】(a)～(c)は本発明の実施形態6に係るキャパシタの製造方法の製造工程を示す断面図である。

【図13】(a)～(c)は本発明の実施形態6に係るキャパシタの製造方法の製造工程を示す断面図である。

【図14】(a)は本発明の実施形態7に係るキャパシタの製造方法により製造されるキャパシタの断面図であり、(b)および(c)は本発明の実施形態7に係るキャ

パシタの製造方法の製造工程を示す断面図である。

【図15】(a)～(c)は本発明の実施形態7に係るキャパシタの製造方法の製造工程を示す断面図である。

【図16】(a)および(b)は本発明の実施形態7に係るキャパシタの製造方法の製造工程を示す断面図である。

*【図17】従来の半導体装置における、1トランジスタ-1キャパシタ型のDRAMのメモリセルを表す回路図である。

【図18】本発明および従来の半導体装置における、2トランジスタ-1キャパシタ型のゲインセルを表す回路図である。

【符号の説明】

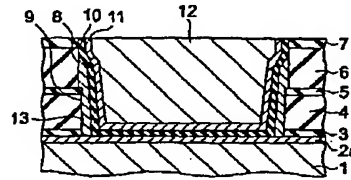
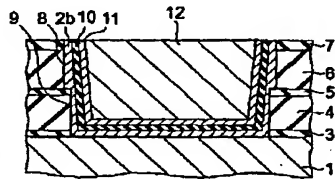
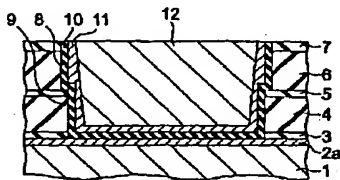
1…第1配線層、2a、2b…第1金属層、3…シリコン窒化膜(第1オフセット絶縁膜)、4…第1低誘電率膜、5…シリコン酸化膜(第2オフセット絶縁膜)、6…第2低誘電率膜、7…シリコン酸化膜(第3オフセット絶縁膜)、8、8a、8b…配線溝、9、9a、9b…接続孔、10…キャパシタ絶縁膜、11…第2金属層、12…第2配線層、12a…Cu層、13…第3金属層、13a、18…Ta₂N層、14…シリコン窒化膜、15、16、17…フォトレジスト。

*

【図1】

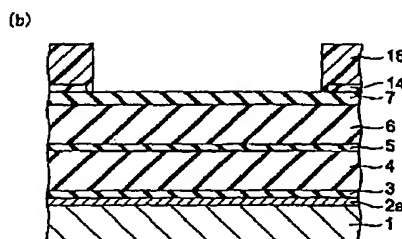
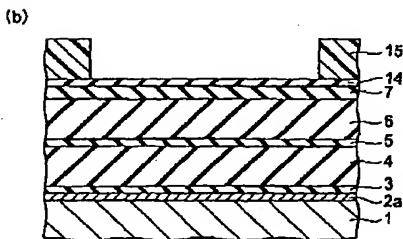
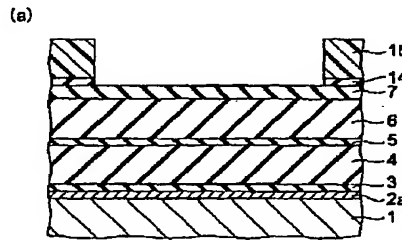
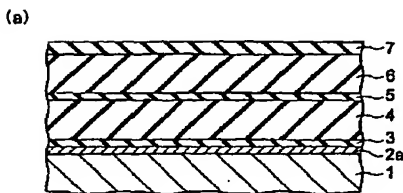
【図2】

【図3】

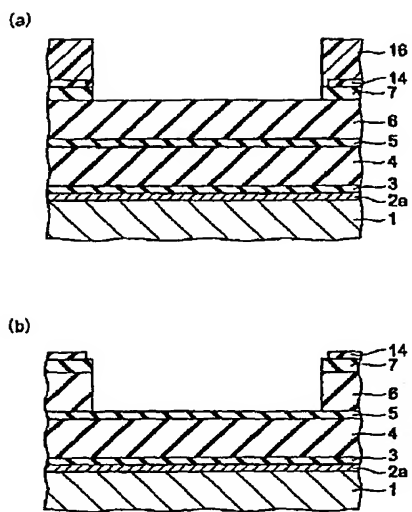


【図4】

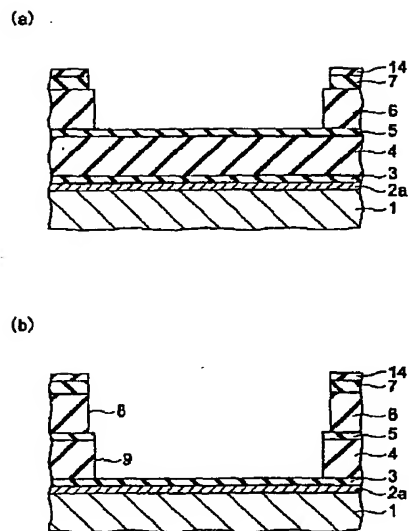
【図5】



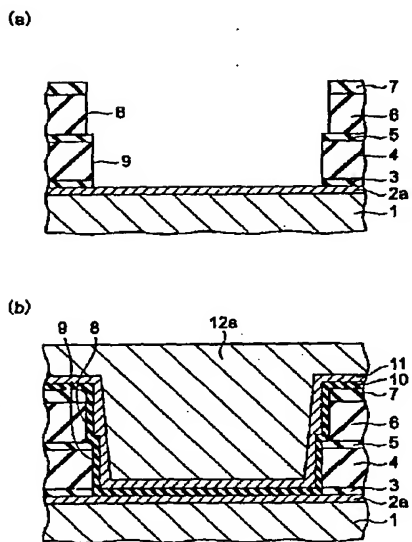
【図6】



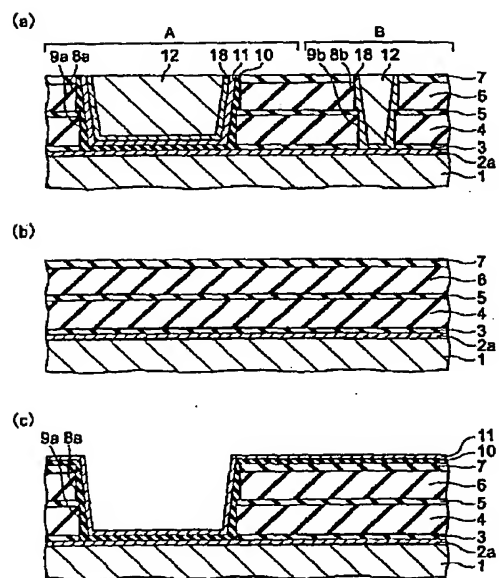
【図7】



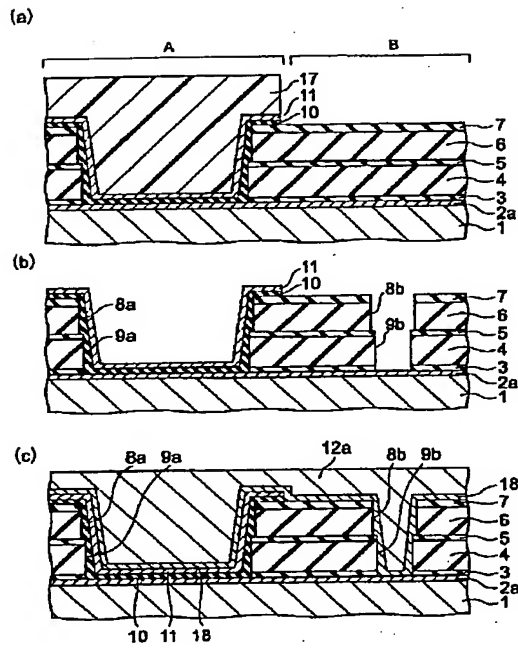
【図8】



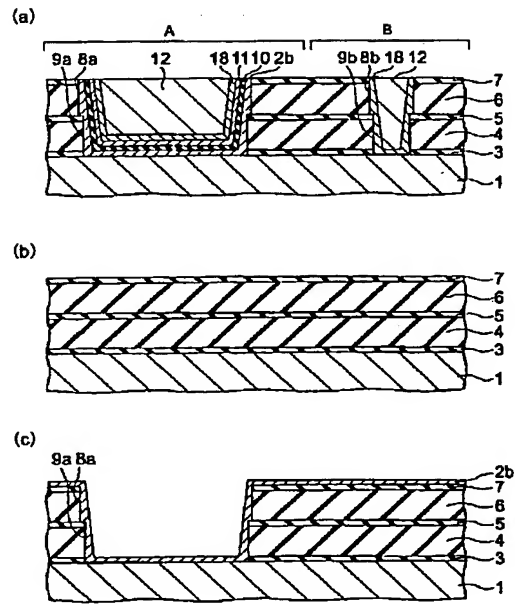
【図9】



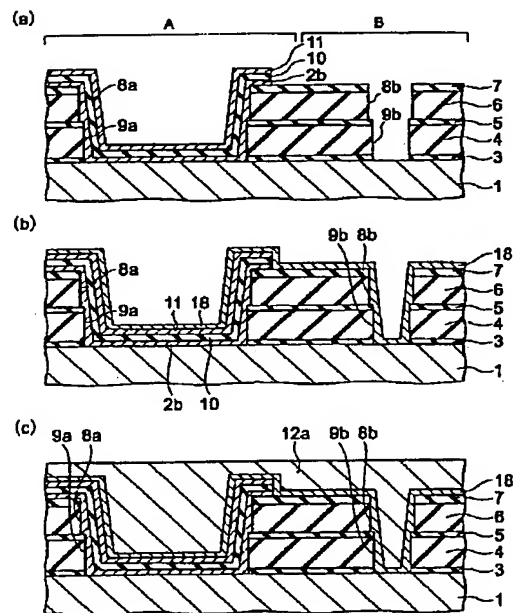
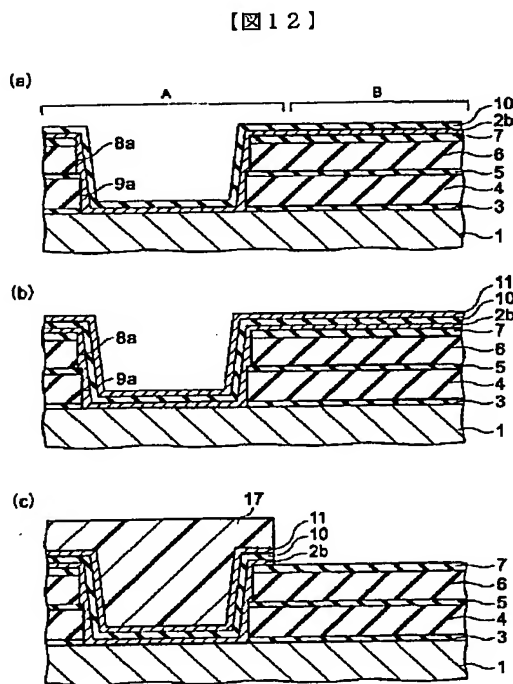
【図10】



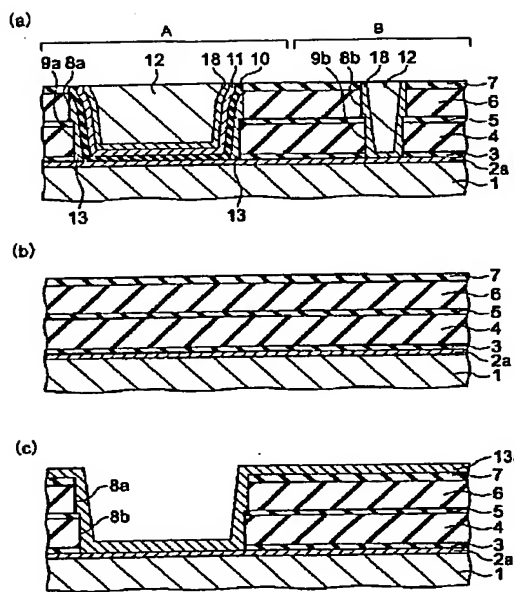
【図11】



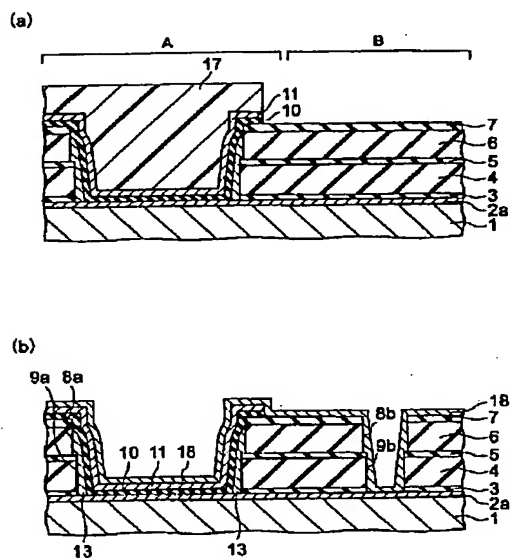
【図13】



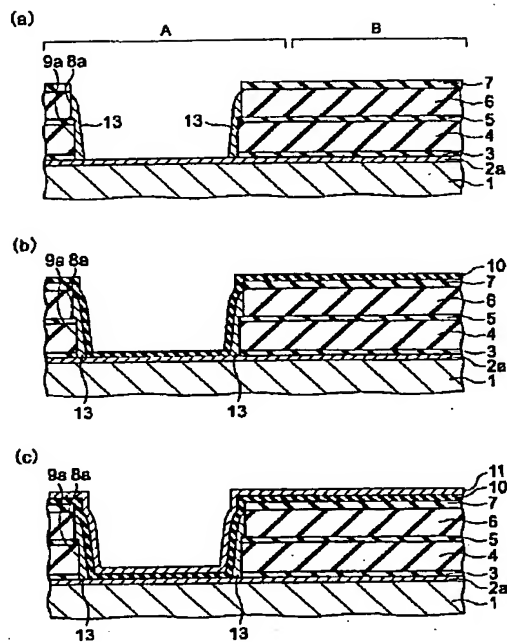
【図14】



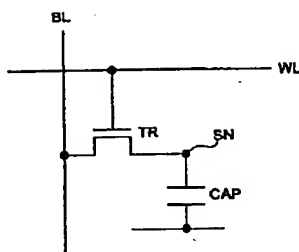
【図16】



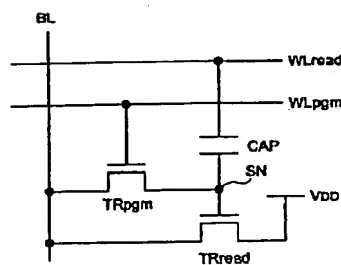
【図15】



【図17】



【図18】



フロントページの続き

Fターム(参考) 5F033 HH11 HH32 JJ11 JJ32 KK11
KK32 MM02 MM05 MM12 MM13
NN06 NN07 PP15 PP27 QQ09
QQ11 QQ25 QQ28 QQ37 QQ48
RR04 RR06 RR21 SS11 VV10
VV16 XX34
5F083 AD31 AD69 GA09 GA25 JA02
JA06 JA13 JA19 JA37 JA39
JA40 JA56 JA58 KA17 PR06
PR07 PR40 PR47 PR48 PR52
ZA12